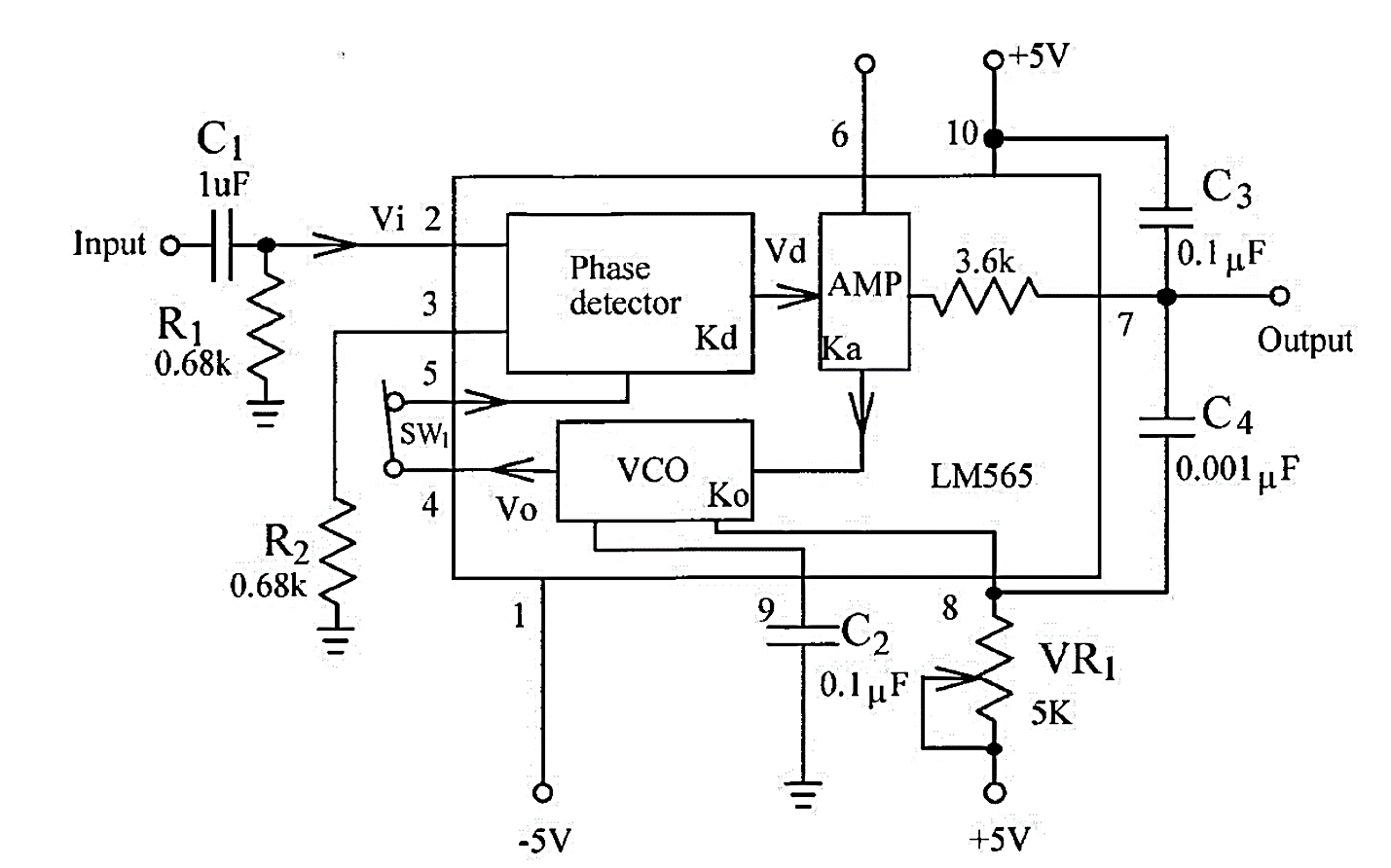
**سوالات کتبی**

1- اگر در طیف توان صدای انسان، فرکانس‌های 30 تا 4000 هرتز موجود باشد،

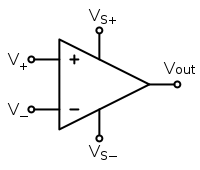
الف- نرخ نمونه‌برداری از سیگنال صوتی مربوط به انسان را چه مقدار در نظر می‌گیرید؟

ب- اگر هر نمونه را با 8 بیت نشان دهیم، نرخ بیت را محاسبه نمایید.

2- آزمایشی طراحی کنید که با استفاده از مدار شکل 1، محدوده‌ی کارکرد حلقه‌ی قفل فاز اندازه‌گیری شود.

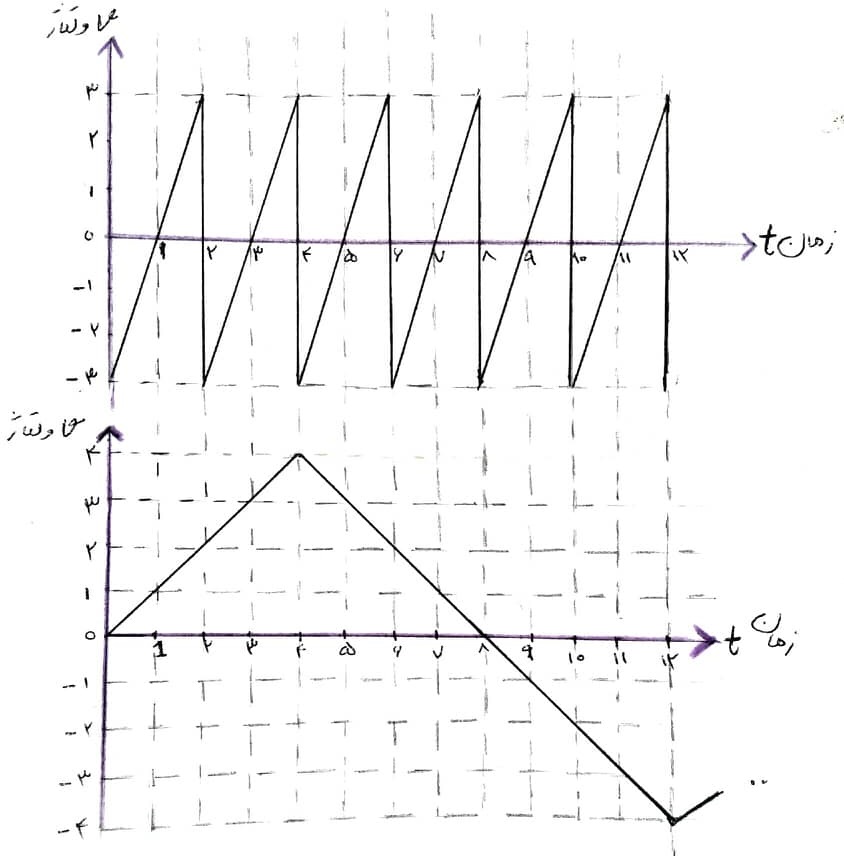
شکل 1

3- آی سی 741 را به عنوان مقایسه گر، مطابق شکل 2 در نظر بگیرید.



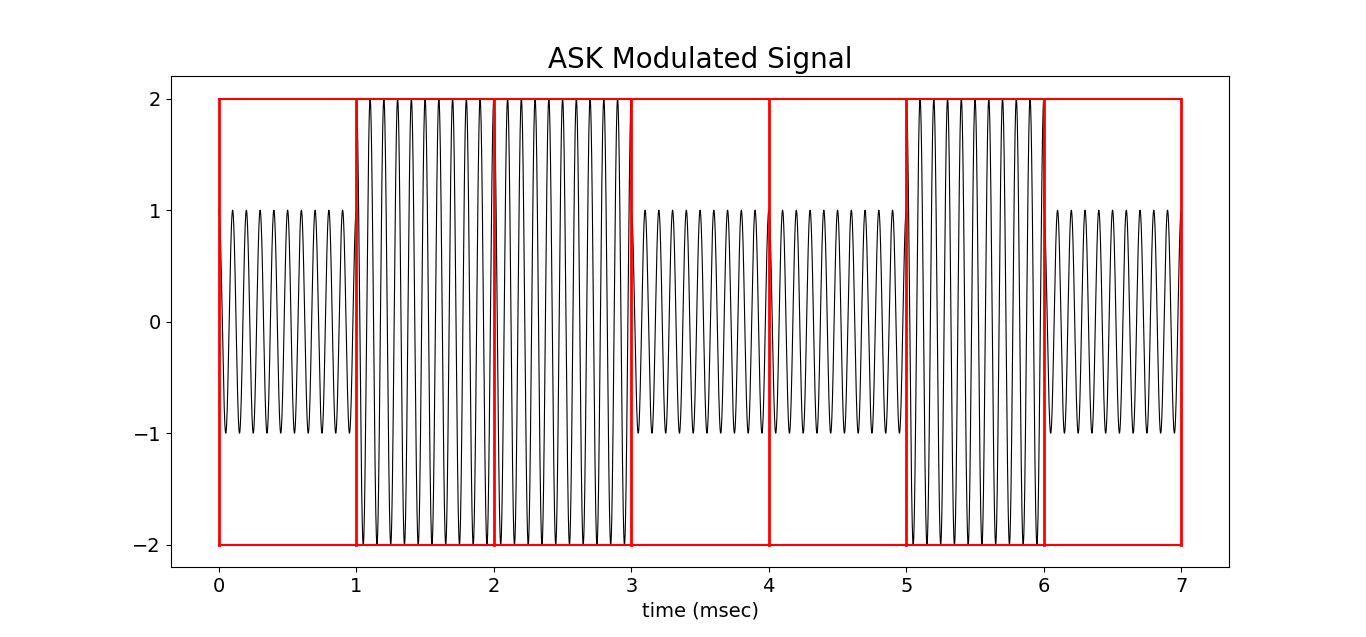
شکل2

اگر منحنی شکل 3 (شکل بالایی) به پایه‌ی و منحنی شکل 4 (شکل پایینی) به پایه‌ی اعمال شود، با فرض ، شکل موج را از تا به صورت دقیق **ترسیم** کرده و **تفسیر** نمایید.



شکل 3 (بالایی) و شکل 4 (پایینی)

4- یک سیگنال خروجی مدولاتور2سطحی ASK به صورت زیر است:



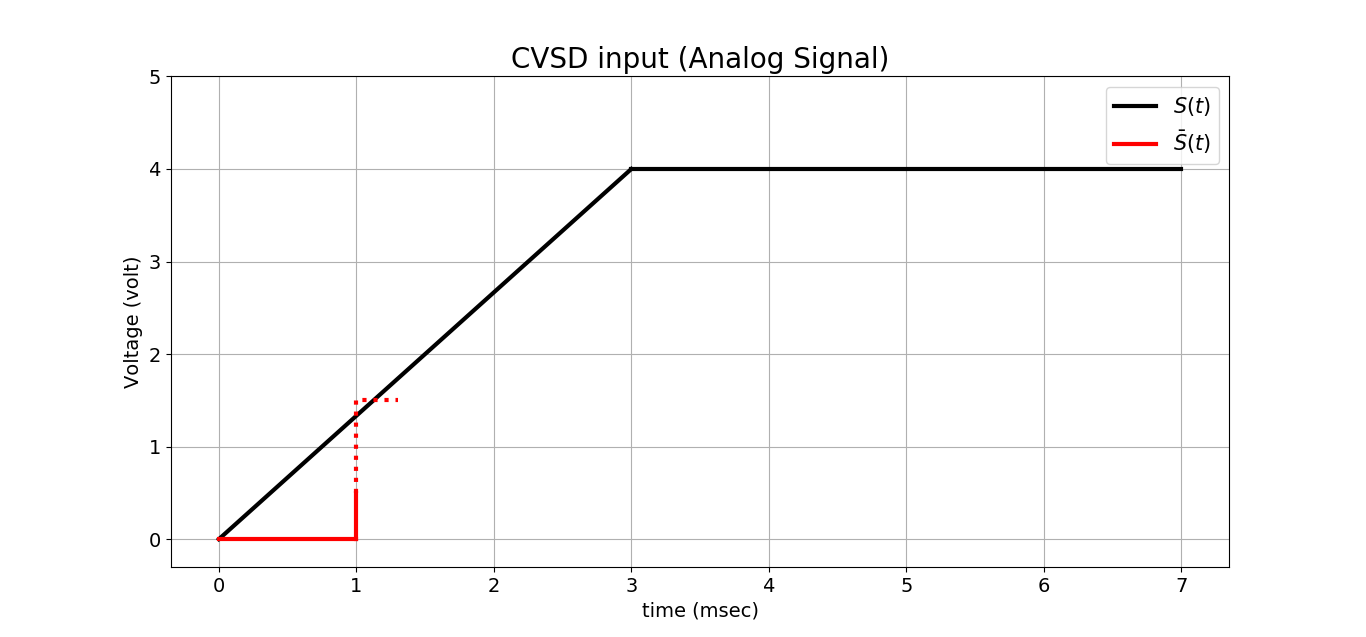
**شکل 5**

الف- خروجی فیلتر پایین گذر غیر ایده آلی را زمانی که سیگنال فوق به ورودی آن اعمال شده است به صورت تقریبی ترسیم کنید.

ب- دنباله‌ی بیت های ارسالی را بدست آورید (فرض کنید بیشترین دامنه برای بیت 0 و کمترین دامنه برای بیت 1 ارسال می شود).

پ- اگر بخواهید این دنباله را با مدولاسیون FSK ارسال کنید که بیت 0 سوار حامل کسینوسی با فرکانس 2kHz و بیت 1 سوار حامل کسینوسی با فرکانس 1kHz شود (عرض زمانی پالس را 1 میلی ثانیه در نظر بگیرید)، سیگنال خروجی مدولاتور FSK را رسم کنید.

5- فرض کنید می خواهیم شکل موج آنالوگ زیر را با بهره گیری از مدولاسیون دلتا (DM) به دنباله‌ی بیتی تبدیل کنیم (سیگنال سیاه رنگ، سیگنال آنالوگ ورودی است و فرض کنید فرکانس پالس خروجی 1kHz باشد).



**شکل 6**

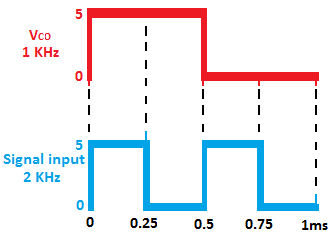
الف- اگر طول گام انتگرال گیر () برابر باشد، خروجی مدولاتور را در بازه‌ی 0 تا 7 میلی ثانیه رسم‌ کنید و دنباله بیتی متناظر را در خروجی مدولاتور به دست آورید (سیگنال قرمز رنگ، ابتدای سیگنال دیجیتال خروجی مدولاتور است که باید در این قسمت کامل و تا 7 میلی ثانیه ترسیم شود؛ به عبارت دیگر خروجی مدولاتور از سطح صفر شروع به تغییر می کند)

ب- اگر طول گام انتگرال گیر () در بازه‌ی 0 تا 4 میلی ثانیه برابر باشد، چه خطایی در خروجی مدولاتور رخ می دهد؟ توضیح دهید.

پ- اگر طول گام انتگرال گیر () در بازه‌ی 4 تا 7 میلی ثانیه مقدار زیادی (بقدر کافی بزرگی) باشد، چه خطایی در خروجی مدولاتور رخ می دهد؟ توضیح دهید.

ت- برای رفع دو مشکل فوق، چه راه حلی در مدولاسیون دلتا پیشنهاد می دهید؟

6- چنانچه سیگنال ورودی PLL و خروجی VCO مطابق شکل 7 باشد، خروجی بلوک‌های آشکارساز فاز و فیلتر پایین‌گذر را ترسیم نمایید.



شکل 7

7- اگر در یک مبدل آنالوگ به دیجیتال 6 بیتی ولتاژ مرجع 5 ولت باشد:

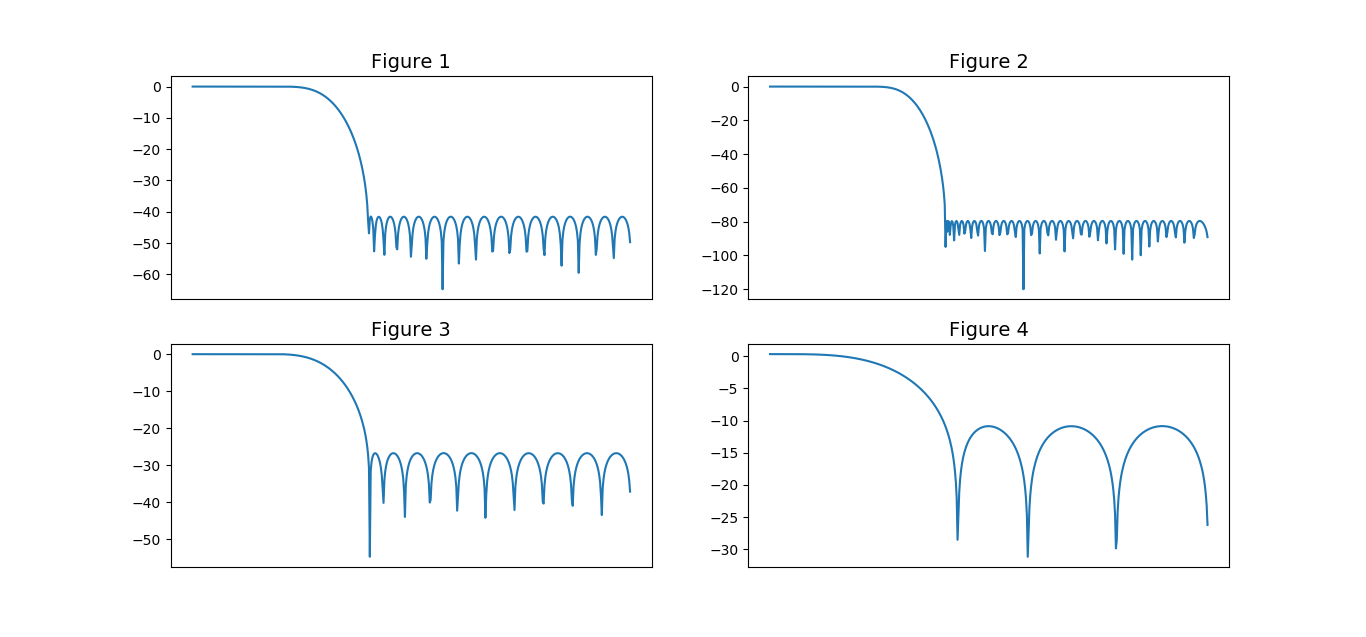
الف- خروجی مبدل به ازای ورودی 2.7 ولت چقدر است؟

ب- اگر در خروجی مبدل فوق مقدار 010101 ظاهر شده باشد، بازه‌ی ولتاژ ورودی را به دست آورید.

پ- حداکثر خطای گسسته سازی این سیستم چقدر است؟

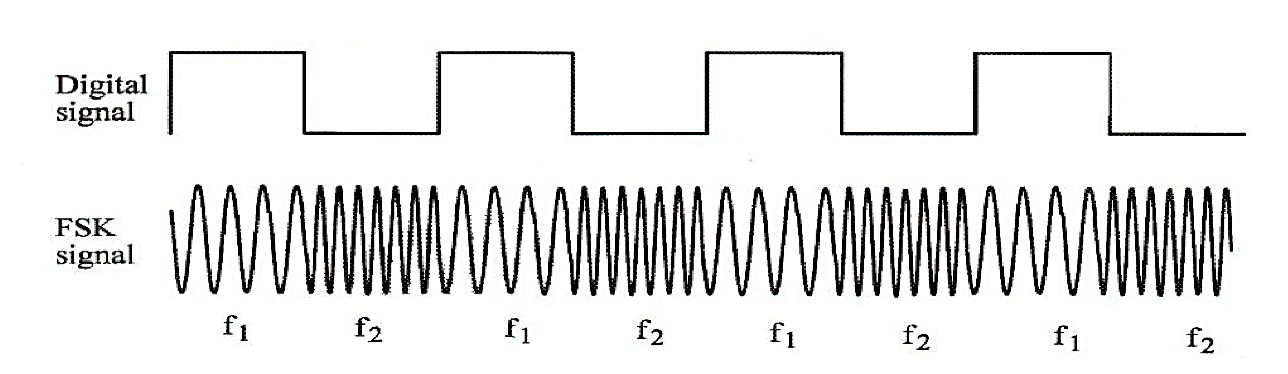
**سوالات شفاهی**

8- اندازه پاسخ فرکانسی چهار فیلتر پایین گذر در شکل زیر ترسیم شده اند. کدام فیلتر مرتبه ی بالاتری دارد؟ چرا؟ (محور فرکانس برای هر 4 فیلتر یکسان است و محور عمودی، بهره فیلتر را بر حسب dB نشان می دهد)



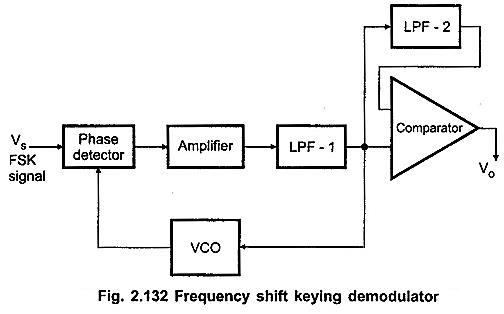
**شکل 8**

9- شکل 9 شکل موج مدوله شده‌ی FSK را به همراه شکل موج پیام نشان می‌دهد. اگر در شکل مذکور و باشد، به سوالات زیر پاسخ دهید:



شکل 9

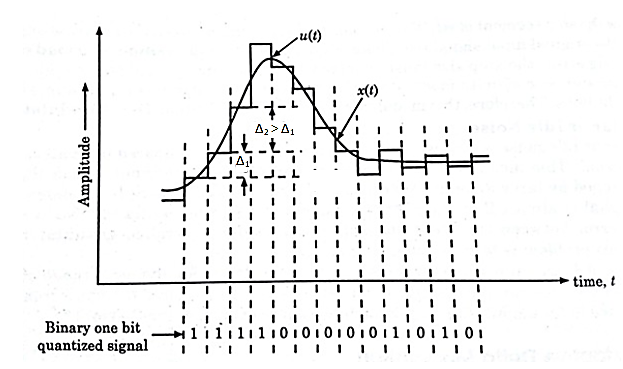
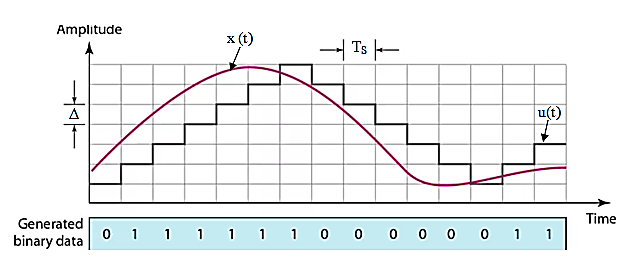
الف- جهت عملکرد صحیح مدار شکل 10 برای بازیابی شکل موج مربعی، پیش از اعمال ورودی، فرکانس خروجی VCO باید روی چه مقداری تنطیم شود؟ (فرض کنید VCO به یک پتانسیومتر متصل است و می‌توان فرکانس آن را روی مقدار مشخصی تنطیم نمود).



**Input**

شکل 10

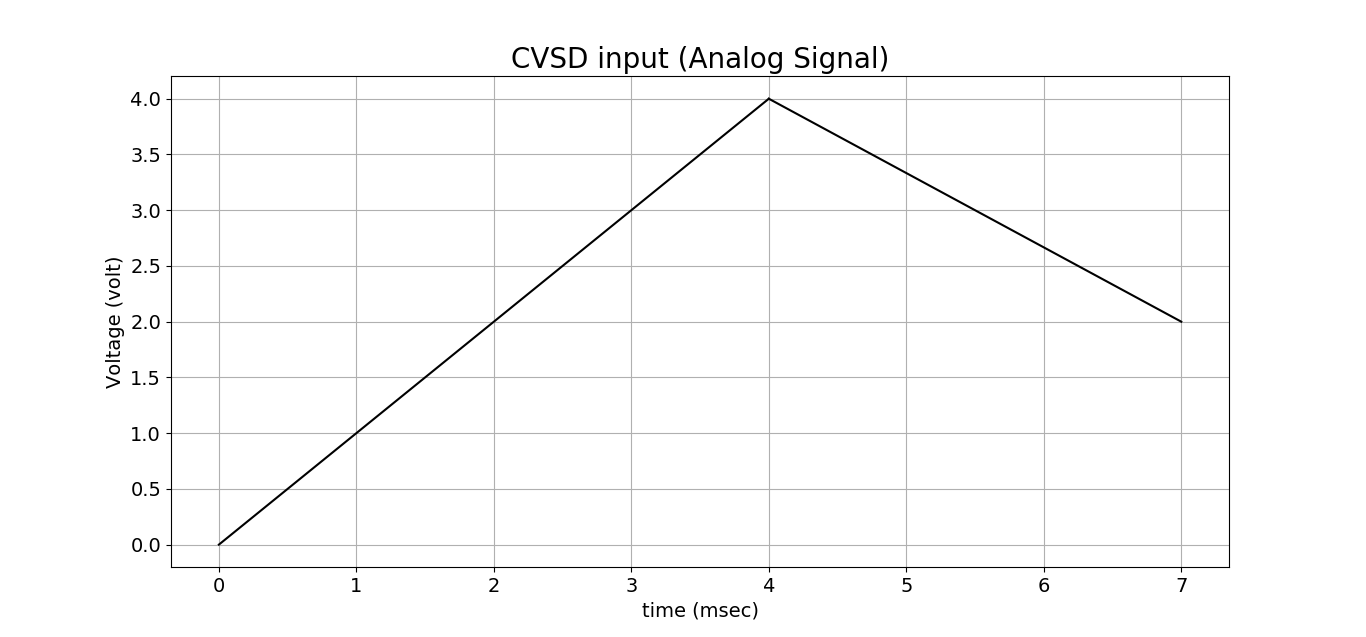
ب- چنانچه به ورودی (پورت Input) مدار شکل 10 یک موج سینوسی با فرکانس 1070 Hz و دامنه‌ی 2 اعمال شود، خروجی را رسم کنید.

10- شکل‌های 11 و 12 ورودی و خروجی سیستم‌های تبدیل آنالوگ به دیجیتال مبتنی بر DM را نشان می‌دهند. فرایند دنبال شده در دو شکل مذکور چه تفاوتی باهم دارند؟

**شکل 11 (بالایی) و شکل 12 (پایینی)**

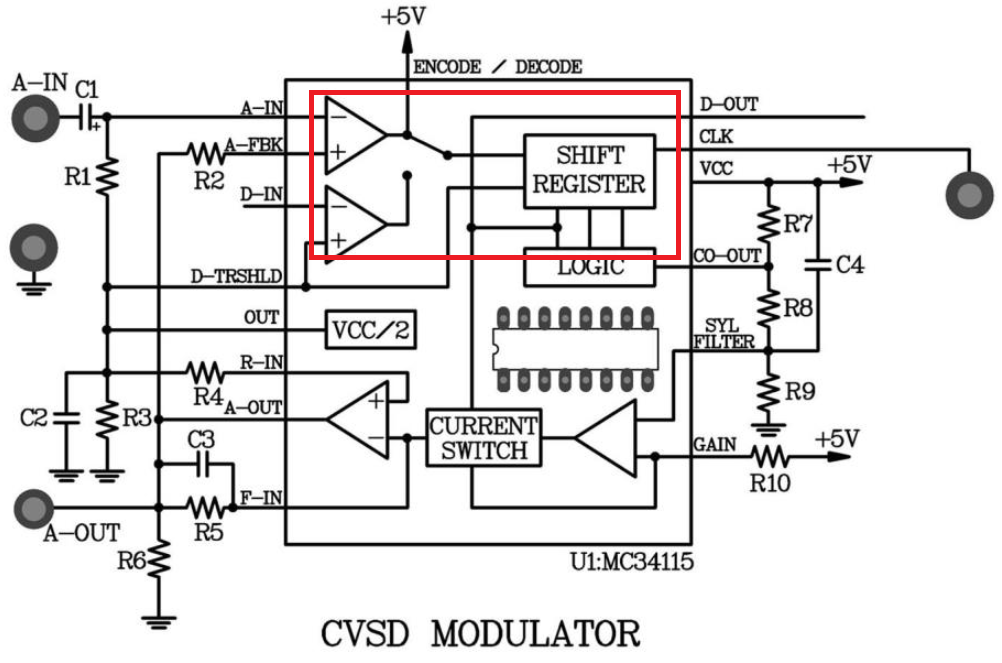
**سایر سوالات پیشنهادی**

1. اگر ورودی یک PLL یک سیگنال متناوب با فرکانس باشد، چگونه میتوان مدار را دستکاری کرد به گونه ای که فرکانس سیگنال خروجی برابر باشد که عدد صحیحی بزرگتر از 1 است؟
2. فرض کنید می خواهیم شکل موج آنالوگ زیر را با بهره گیری از مدولاسیون CVSD به دنباله‌ی بیتی تبدیل کنیم (فرض کنید فرکانس پالس خروجی 1kHz باشد).



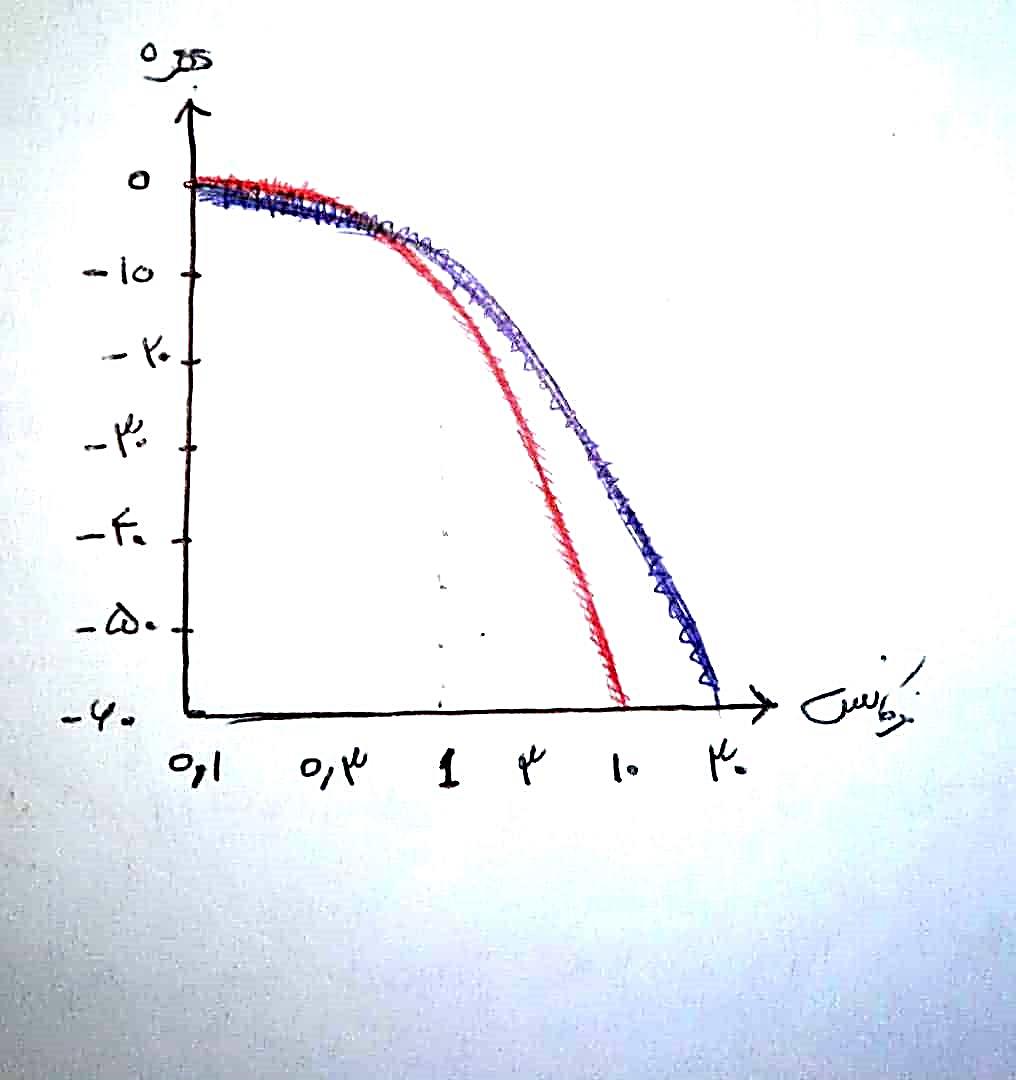
جهت آنکه در بازه‌ی 0 تا 4 میلی ثانیه از خطای Slope overloading جلوگیری شود، حداقل و حداکثر مقدار شیب انتگرال گیر (مقدار Δ تقسیم بر دوره زمانی پالس) چقدر باشد تا سیگنال پله ای خروجی مدولاتور، سیگنال آنالوگ را در بر بگیرد؟ (به عبارت دیگر، خروجی مدولاتور کاملا بالای یا زیر سیگنال آنالوگ ورودی نباشد)

1. در مدار مدولاتور CVSD (شکل زیر)، کارکرد بلوک قرمز رنگ (شامل یک رجیستر و دو آپ-امپ) چیست؟



4) پاسخ فرکانسی یک فیلتر پایین‌گذر باترورث مرتبه 1 و 2 را به صورت حدودی روی یک شکل ترسیم نمایید.

یا: در شکل1 مشخص کنید کدام نمودار مربوط به پاسخ فرکانسی فیلتر باترورث مرتبه 1 و کدام یک متناظر با فیلتر باترورث مرتبه 2 می‌باشد؟

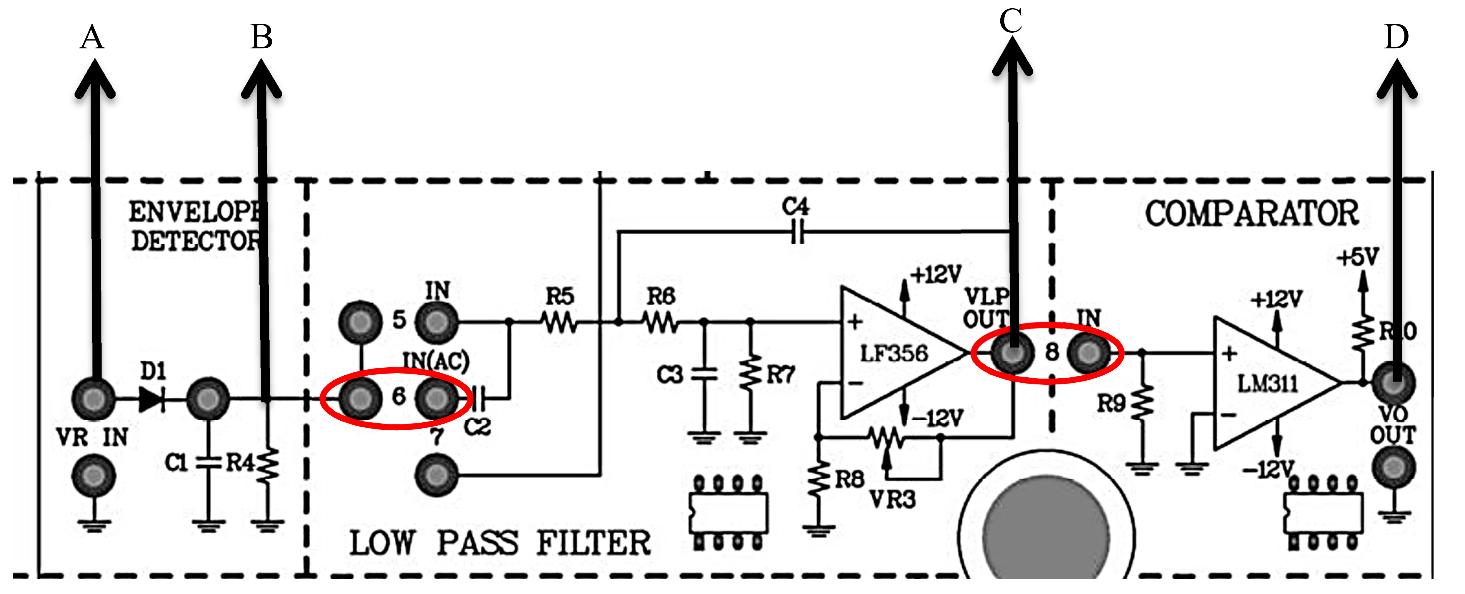


شکل 2

5) مدار شکل 5 را در نظر بگیرید. با قرار دادن اتصالات جامپرهای 6 و 8،

الف- مدار فوق برای چه کاربردی مورد استفاده قرار می‌گیرد؟

ب- متناسب با پاسخ بند الف، شکل موج‌های پورت‌های A تا D را ترسیم نمایید.

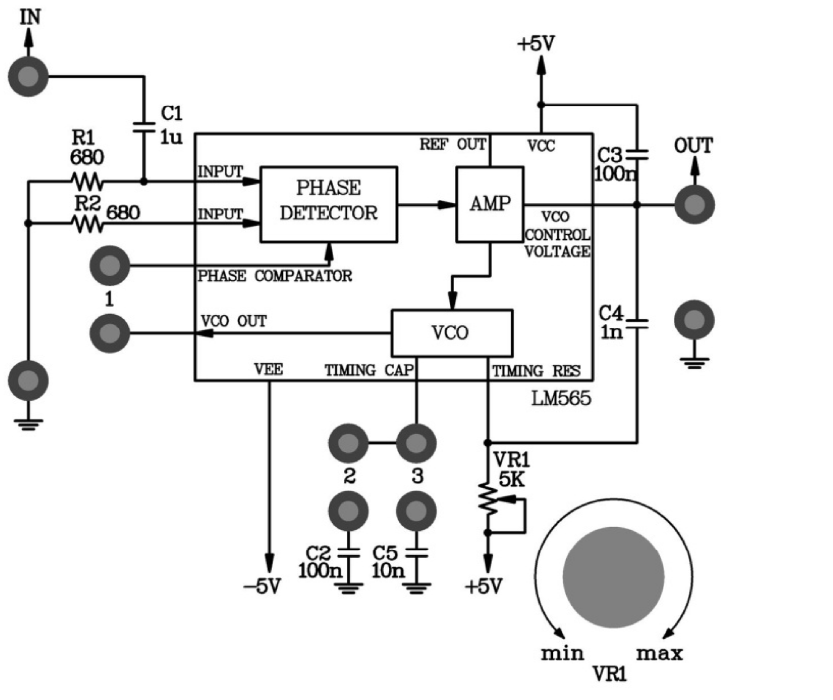


شکل 3

6) فرض کنید در مدار شکل 11، جامپر 2 در مدار قرار گرفته باشد. همچنین فرض کنید پیش از اعمال ورودی، به کمک ولوم VR1، فرکانس VCO برابر 2kHz تنظیم شده است. پس از قرار دادن جامپر 1 در مدار، یک موج مربعی با دامنه‌ی پیک تا پیک 0.5 v و فرکانس2 kHz به پورت ورودی اعمال می‌کنیم (حالت a). سپس فرکانس ورودی را به0.5kHz (حالت b) و سپس 1.5kHz (حالت c) تغییر می‌دهیم.

الف- در حالت a انتظار دارید در خروجی مدار چه شکل موج یا مقداری مشاهده شود؟

ب- با مقایسه‌ی دو حالت b و c توضیح دهید در کدام حالت ولتاژ خروجی PLL (خروجی فیلتر پایین‌گذر) بیش‌تر است؟ چرا؟



شکل 11